

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-222217

⑬ Int.Cl.⁵

H 03 K 19/20

識別記号

庁内整理番号

7328-5J

⑭ 公開 平成2年(1990)9月5日

審査請求 未請求 請求項の数 2 (全11頁)

⑮ 発明の名称 プログラマブル論理回路

⑯ 特 願 平1-42402

⑰ 出 願 平1(1989)2月22日

⑱ 発 明 者 佐 伯 幸 弘 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

⑲ 発 明 者 鈴 木 八 十 二 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

プログラマブル論理回路

2. 特許請求の範囲

(1) 実質的に常に“1”または“0”の信号、または第1の信号、または第1の信号の反転信号、の4つの信号のうちのいずれか1つがデータ入力端に入力し、第2の信号が出力制御入力端に入力し、データ出力端が“1”、“0”およびハイ・インピーダンスの3状態をとる第1の3ステート回路と、

実質的に常に“1”または“0”の信号、または第1の信号、または第1の信号の反転信号、の4つの信号のうちのいずれか1つがデータ入力端に入力し、前記第2の信号の反転信号が出力制御入力端に入力し、データ出力端が“1”、“0”およびハイ・インピーダンスの3状態をとり、このデータ出力端が前記第1の3ステート回路のデータ出力端とワイヤード・オア接続された第2の3ステート回路とを具備し、

前記2個の3ステート回路のワイヤード・オア接続端から前記第1の信号と第2の信号との論理出力を取出す論理ゲートを構成してなることを特徴とするプログラマブル論理回路。

(2) 2入力の論理ゲートが2段以上接続されて全体としてツリー状となるように構成され、

各論理ゲートは、それぞれデータ入力端および出力制御入力端およびデータ出力端を有し、データ出力端が“1”、“0”およびハイ・インピーダンスの3状態をとる2個の3ステート回路の互いのデータ出力端同士がワイヤード・オア接続されてなり、一方の3ステート回路の出力がハイ・インピーダンスの時は他方の3ステート回路の出力がロー・インピーダンスになるように制御され、データ入力端の入力と出力制御入力端の入力との論理出力をワイヤード・オア接続端から出力し、

1段目の論理ゲートは、実質的に常に“1”または“0”の信号、または第1の信号、または第1の信号の反転信号、の4つの信号のうちのいずれか1つがデータ入力端に入力し、第2の信号お

よびその反転信号が出力制御入力端に入力し、

2段目以降の論理ゲートは、前段の2個の論理ゲートの各出力が2個の3ステート回路の各データ入力端に入力し、各段に対応して供給される相補的な出力制御信号が出力制御入力端に入力することを特徴とするプログラマブル論理回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、半導体集積回路に形成されるプログラム可能な論理回路に係わるもので、非常に簡単な構成で容易に拡張可能なプログラマブル論理回路に関する。

(従来の技術)

数ゲートから数十ゲートの論理回路が必要となると、一般には汎用の小規模集積回路(Small Scale IC、以下、SSIと略記する)が用いられてきた。このようなSSIには、トランジスタ・トランジスタ・

想的には、2入力ノアゲートと2入力ナンドゲートがそれぞれ1個ずつ入ったICがあれば最も効率がよい。ところが、市販のSSIにはその様なものはなく、2入力ノアゲートとしては第14図に示したようなICを、また、2入力ナンドゲートとしては第13図に示したようなICを用い、結局2個のICが必要となる。しかも、第13図および第14図に示したようなICはそれぞれ4個のゲートを持っているので、それぞれ3個のゲートは不要になる。基盤にICを装着することを考えれば、使いもしない論理ゲートのためにスルーホールをあけなければならない、しかも基板上には第13図および第14図に示したようなIC2個分のスペースが必要になる。

この例は非常に小さな回路の例であったが、数百ゲートからなるデジタル回路の場合、この無駄面積はもっと大きなものになる。

これを防ぐためには、例えば、2入力ナンドゲート1個と2入力ノアゲート1個とを入れたICをSSIのシリーズに組み込み、市販すればよい。

ロジック(Transistor Transistor Logic、以下、TTLと略記する)構成のシリーズや、相補性絶縁ゲート型(Complementary Metal Oxide Semiconductor、以下、CMOSと略記する)論理構成のシリーズがある。これらのSSIは、1個のパッケージ内に論理ゲートが複数個封入されており、ゲート品種数も多いため、回路設計者はこれらの汎用SSIを必要に応じて買い揃え、目的とする論理回路を実現することができる。例えば、2入力ナンドゲートが必要な場合は、第13図に示すようなICを、また、2入力ノアゲートが必要な場合は、第14図に示すようなICを使用すればよい。

SSIは、現在、広く出回っており、入手が容易という利点を持つが、汎用性が高いためユーザにとっては無駄な部分を含むことが多い。例えば、ある論理回路において、2入力ノアゲートを1個、2入力ナンドゲートを1個欲しいという場合、理

ところが、ユーザの要求は様々であり、2入力論理ゲートですら、ナンドゲート、ノアゲート、アンドゲート、オアゲート、エクスクルーシブオアゲートおよびエクスクルーシブノアゲートと多彩で、これらを複数個組み込んだICを作るとなると、その品種数は膨大なものとなり、メーカーもユーザも共に管理できなくなってしまう。

また、SSIの他の欠点は、ユーザが常に品揃えをしておかなければならないことである。どの様な論理ゲートが必要になるか予めわからないため、100品種以上もの汎用SSIを大量に保存しておかねばならない。その管理は煩雑で、保管場所のスペースも決して小さいものではない。

以上のようなSSIの欠点を解消するため、近年、プログラマブル・ロジック・デバイス(Programmable Logic Device、以下、PLDと略記する)と呼ばれる、論理ゲートをプログラム出来るICが作られている。これは、例えば特公昭59-48574「プログラマブル・アレイ論理回路」

に開示されている技術を用いて作られる一連の IC であり、縦方向と横方向に複数の配線を配置し、それらの、マトリクス状に並んだ交点に当る部分にメモリ・セルを配備し、そのメモリ・セルに“0”もしくは“1”を書き込むことによって、対応する交点を介して縦と横の配線を接続もしくは切断するものである。

これらの IC は、いろいろな論理回路をプログラムできる点ですぐれているが、プログラムしなければならないメモリ・セルの数が多く、また、プログラムの方法も複雑なため、パーソナル・コンピュータなどによる大掛かりなプログラム装置が必要となる。さらに、ユーザは PLD をプログラムするための複雑なソフトウェアを多大な時間をかけて開発するか、さもなければ、高額のプログラム装置も含めてソフトウェアを購入する必要がある。

(発明が解決しようとする課題)

上記したように従来の SSI は、ユーザにとっては無駄な部分を含むことが多く、この SSI

実質的に常に“1”または“0”の信号、または第1の信号、または第1の信号の反転信号、の4つの信号のうちのいずれか1つを入力し、出力制御入力には、第2の信号を供給することにより、第1の信号と、第2の信号との論理ゲートを構成し、ワイヤード・オア端子を論理出力とすることを特徴とする。

また、第2の発明のプログラマブル論理回路は、2入力の論理ゲートを2段以上接続して全体としてツリー状となるように構成し、各論理ゲートは、それぞれデータ入力端および出力制御入力端およびデータ出力端を有し、データ出力端が“1”、“0”およびハイ・インピーダンスの3状態をとる2個の3ステート回路の互いのデータ出力端同士をワイヤード・オア接続してなり、一方の3ステート回路の出力がハイ・インピーダンスの時は他方の3ステート回路の出力がロー・インピーダンスになるように制御し、データ入力端の入力と出力制御入力端の入力との論理出力をワイヤード・オア接続端から出力し、1段目の論理ゲートは、

を基盤に装着することを考えれば、使いもしない論理ゲートのためにスルーホールをあけなければならない、しかも基板上には多くの IC のスペースが必要になるという問題がある。

本発明は、上記問題点を解決すべくなされたもので、その目的は、構成が非常に簡単で、ゲートの拡張が非常に容易なプログラマブル論理回路を提供することにある。

[発明の構成]

(課題を解決するための手段)

第1の発明のプログラマブル論理回路は、データ入力とデータ出力、および出力制御入力を含み、出力が“1”、“0”およびハイ・インピーダンスの3状態をとる3ステート回路を2個用意し、この2個の3ステート回路の出力をワイヤード・オア接続してワイヤード・オア回路を形成し、このワイヤード・オア回路内の3ステート回路は、一方の出力がハイ・インピーダンスの時は他方がロー・インピーダンスになるように出力を制御し、これらの3ステート回路のデータ入力端子には、

実質的に常に“1”または“0”の信号、または第1の信号、または第1の信号の反転信号、の4つの信号のうちのいずれか1つをデータ入力端に入力し、第2の信号およびこれと相補的な信号を出力制御入力端に入力し、2段目以降の論理ゲートは、前段の2個の論理ゲートの各出力を2個の3ステート回路の各データ入力端に入力し、各段に対応して供給される相補的な出力制御信号を出力制御入力端に入力することを特徴とする。

(作用)

第1の発明のプログラマブル論理回路によれば、4つの信号を如何に選択するかによって、第1の信号および第2の信号を入力とし、ワイヤード・オア接続端の信号を出力とするあらゆる2入力論理ゲートを作ることができる。

第2の発明のプログラマブル論理回路によれば、第1の信号と各段の出力制御信号とを入力とする多入力の論理ゲートを作ることができる。また、多数の入力に対して、複数の出力を取り出す論理回路を作ることでもある。

(実施例)

以下、図面を参照して本発明の一実施例を詳細に説明する。

第1図は2入力論理ゲート2を示しており、2個の3ステート回路(第1の3ステート回路1₁および第2の3ステート回路1₂)の互いの出力がワイヤード・オア接続されている。この2個の3ステート回路は、一方の出力がハイ・インピーダンスの時は他方の出力がロー・インピーダンスになるように制御されるものであり、一方の3ステート回路1₂の出力制御入力端には出力制御信号Bが入力し、もう一方の3ステート回路1₁の出力制御入力端には上記信号Bとは相補的な反転信号 \overline{B} が入力する。

ここで、基本論理回路として用いられている3ステート回路1₁および1₂は、それぞれ例えば第2図あるいは第3図に示すようなCMOS論理回路からなる。

第2図に示す3ステート回路は、インバータ21とトランスミッション・ゲート(Pチャネル

トランジスタPおよびNチャネルトランジスタからなるN)22とが直列に接続されている。この3ステート回路は、インバータ21に信号Xが入力し、トランスミッション・ゲート22の制御信号(出力制御信号)としてYおよび \overline{Y} (前記Bおよび \overline{B} に相当する)が入力し、Y="0"のときは、出力Zはハイ・インピーダンスになり、Y="1"のときは、出力ZはXの反転信号 \overline{X} となる。

第3図に示す3ステート回路は、第2図に示した3ステート回路と論理的に全く等価なクロックド・インバータであり、2個のPチャネルトランジスタP1およびP2と2個のNチャネルトランジスタN1およびN2とからなる。この3ステート回路は、信号Xが入力し、ハイ・インピーダンス制御用のクロック信号(出力制御信号)としてYおよび \overline{Y} (前記Bおよび \overline{B} に相当する)が入力し、Y="0"のときは、出力Zはハイ・インピーダンスになり、Y="1"のときは、出力ZはXの反転信号 \overline{X} となる。

第1図に示した2入力論理ゲート2によれば、一方の3ステート回路1₁のデータ入力端の入力 a_1 として、次の4つの信号のうちの1つを選択して入力し、同様に、他方の3ステート回路1₂のデータ入力端の入力 a_2 としても、4つの信号のうちの1つを選択して入力することにより、4つの信号を如何に選択するかによって、A(第1の信号)およびB(第2の信号)を入力とし、ワイヤード・オア接続端の信号Sを出力とする、あらゆる2入力論理ゲートを作ることができる。

上記4つの信号とは、信号Aおよびこれと相補的な反転信号 \overline{A} 、恒常的に"0"(図では接地電位GND)レベルの信号および恒常的に"1"

(図ではV_{dd}電源電位)レベルの信号である。

2入力論理ゲートは、アンドゲート、オアゲート、ナンドゲート、ノアゲート、エクスクルーシブオアゲート、およびエクスクルーシブノアゲートがあり、それぞれの具体例を第3図(a)乃至(f)に示した。これらの図では、3ステート回路は第2図(b)のものを、また、Xは電気的な

接続点を表している。

ここで、代表的にアンドゲートについて具体的な回路構成を第4図に示した。このアンドゲートは、反転信号 \overline{B} により出力制御される一方の3ステート回路1₁の入力 a_1 として"1"レベルを選択し、信号Bにより出力制御される他方の3ステート回路1₂の入力 a_2 として反転信号 \overline{A} を選択する。これにより、信号Bが"1"のときには、一方の3ステート回路1₁は出力がハイ・インピーダンスになり、他方の3ステート回路1₂は反転信号 \overline{A} を反転した信号Aを出力し、ワイヤード・オア出力Sは $A(-A \times B)$ となる。これに対して、信号Bが"0"のときには、一方の3ステート回路1₁は"1"レベルを反転した"0"レベルを出力し、他方の3ステート回路1₂は出力がハイ・インピーダンスになり、ワイヤード・オア出力Sは"0"レベルとなる。

第3図(b)に示したオアゲートは、反転信号 \overline{B} により出力制御される一方の3ステート回路1₁の入力 a_1 として反転信号 \overline{A} を選択し、信号

Bにより出力制御される他方の3ステート回路1₂の入力a₂として“0”レベルを選択する。これにより、信号Bが“1”のときには、一方の3ステート回路1₁は出力がハイ・インピーダンスになり、他方の3ステート回路1₂は“0”レベルを反転した“1”レベルを出力し、ワイヤード・オア出力Sは“1”レベル(=B)となる。これに対して、信号Bが“0”のときには、一方の3ステート回路1₁は反転信号 \overline{A} を反転した信号Aを出力し、他方の3ステート回路1₂は出力がハイ・インピーダンスになり、ワイヤード・オア出力Sは信号Aとなる。

第3図(c)に示したナンドゲートは、反転信号 \overline{B} により出力制御される一方の3ステート回路1₁の入力a₁として“0”レベルを選択し、信号Bにより出力制御される他方の3ステート回路1₂の入力a₂として信号Aを選択する。これにより、信号Bが“1”のときには、一方の3ステート回路1₁は出力がハイ・インピーダンスになり、他方の3ステート回路1₂は信号Aを反転し

ーダンスになり、ワイヤード・オア出力Sは反転信号 \overline{A} となる。

第3図(e)に示したエクスクルーシブオアゲートは、反転信号 \overline{B} により出力制御される一方の3ステート回路1₁の入力a₁として反転信号 \overline{A} を選択し、信号Bにより出力制御される他方の3ステート回路1₂の入力a₂として信号Aを選択する。これにより、信号Bが“1”のときには、一方の3ステート回路1₁は出力がハイ・インピーダンスになり、他方の3ステート回路1₂は信号Aを反転した反転信号 \overline{A} を出力し、ワイヤード・オア出力Sは反転信号 \overline{A} となる。これに対して、信号Bが“0”のときには、一方の3ステート回路1₁は反転信号 \overline{A} を反転した信号Aを出力し、他方の3ステート回路1₂は出力がハイ・インピーダンスになり、ワイヤード・オア出力Sは信号Aとなる。

第3図(e)に示したエクスクルーシブノアゲートは、反転信号 \overline{B} により出力制御される一方の3ステート回路1₁の入力a₁として信号Aを選

た反転信号 \overline{A} を出力し、ワイヤード・オア出力Sは反転信号 \overline{A} となる。これに対して、信号Bが“0”のときには、一方の3ステート回路1₁は“0”レベルを反転した“1”レベルを出力し、他方の3ステート回路1₂は出力がハイ・インピーダンスになり、ワイヤード・オア出力Sは“1”レベルとなる。

第3図(d)に示したノアゲートは、反転信号 \overline{B} により出力制御される一方の3ステート回路1₁の入力a₁として信号Aを選択し、信号Bにより出力制御される他方の3ステート回路1₂の入力a₂として“1”レベルを選択する。これにより、信号Bが“1”のときには、一方の3ステート回路1₁は出力がハイ・インピーダンスになり、他方の3ステート回路1₂は“1”レベルを反転した“0”レベルを出力し、ワイヤード・オア出力Sは“0”レベルとなる。これに対して、信号Bが“0”のときには、一方の3ステート回路1₁は信号Aを反転した反転信号 \overline{A} を出力し、他方の3ステート回路1₂は出力がハイ・インピ

択し、信号Bにより出力制御される他方の3ステート回路1₂の入力a₂として反転信号 \overline{A} を選択する。これにより、信号Bが“1”のときには、一方の3ステート回路1₁は出力がハイ・インピーダンスになり、他方の3ステート回路1₂は反転信号 \overline{A} を反転した信号Aを出力し、ワイヤード・オア出力Sは信号Aとなる。これに対して、信号Bが“0”のときには、一方の3ステート回路1₁は信号Aを反転した反転信号 \overline{A} を出力し、他方の3ステート回路1₂は出力がハイ・インピーダンスになり、ワイヤード・オア出力Sは反転信号 \overline{A} となる。

上記したような2入力論理ゲートと同様に、3ステート回路と、相補的な信号A、 \overline{A} 、“0”レベルおよび“1”レベルの4つから1つを選択する手段があれば、3入力、4入力、5入力・・・と任意の入力数の論理ゲートを作ることができる。

本発明による3入力、4入力、5入力の論理ゲート例を、それぞれ、第5図、第6図および第7図に示した。

即ち、第5図に示した3入力の論理ゲート3は、前記したような本発明に係る2入力論理ゲート2を、1段目に2組有し、2段目に1組有する。そして、2段目の2入力論理ゲート2は、1段目の2組の2入力論理ゲート2の各ワイヤード・オア出力が2個の3ステート回路1₁および1₂の各入力端に入力し、第3の信号Cおよびこれと相補的な反転信号 \overline{C} が出力制御入力端に入力しており、この2入力論理ゲート2のワイヤード・オア接続端から第1の信号Aと第2の信号Bと第3の信号Cとの論理出力Sを取出すように構成されている。

なお、第5図に示した3入力のノアゲート3では、2組の2入力論理ゲート2は4つの信号の選択内容が異なっている。

第6図に示した4入力の論理ゲート4は、前記したような本発明に係る3入力論理ゲート3を2組有し、この後段に前記したような本発明に係る2入力論理ゲート2を1組有する。そして、後段の2入力論理ゲート2は、前段の2組の3入力論理ゲート3の各ワイヤード・オア出力が2個の3

ステート回路1₁および1₂の各入力端に入力し、第5の信号Eおよびこれと相補的な反転信号 \overline{E} が出力制御入力端に入力しており、この2入力論理ゲート2のワイヤード・オア接続端から第1の信号Aと第2の信号Bと第3の信号Cと第4の信号Dと第5の信号Eとの論理出力Sを取出すように構成されている。

なお、第7図に示した5入力のノアゲート5では、2組の4入力論理ゲート4は4つの信号の選択内容が異なっている。また、この5入力のノアゲート5は、等価的に、信号A、Bを入力とするアンドゲート7₁と、このアンドゲート7₁の出力と信号Cを入力とする第1のオアゲート7₂と、信号D、Eを入力とする第2のオアゲート7₃と、これらの2個のオアゲートの各出力を入力とするナンドゲート7₄とにより表される。

上述したように本発明は、2個の3ステート回路をワイヤードオア接続した構成をツリー状に接続して各種の論理ゲートを作り上げることが可能

ステート回路1₁および1₂の各入力端に入力し、第4の信号Dおよびこれと相補的な反転信号 \overline{D} が出力制御入力端に入力しており、この2入力論理ゲート2のワイヤード・オア接続端から前記第1の信号Aと第2の信号Bと第3の信号Cと第4の信号Dとの論理出力Sを取出すように構成されている。

なお、第6図に示した4入力のノアゲート4では、2組の3入力論理ゲート3は4つの信号の選択内容が異なっている。また、この4入力のノアゲート4は、等価的に、信号A、Bを入力とする第1のアンドゲート6₁と、信号C、Dを入力とする第2のアンドゲート6₂と、これらの2個のアンドゲートの各出力を入力とするノアゲート6₃とにより表される。

第7図に示した5入力の論理ゲート5は、前記したような本発明に係る4入力論理ゲート4を2組有し、この後段に前記したような本発明に係る2入力論理ゲート2を1組有する。そして、後段の2入力論理ゲート2は、前段の2組の4入力論

になる。

即ち、2入力の論理ゲートを2段以上接続して全体としてツリー状となるように構成し、各論理ゲートは、それぞれデータ入力端および出力制御入力端およびデータ出力端を有し、データ出力端が“1”、“0”およびハイ・インピーダンスの3状態をとる2個の3ステート回路の互いのデータ出力端同士をワイヤード・オア接続してなり、一方の3ステート回路の出力がハイ・インピーダンスの時は他方の3ステート回路の出力がロー・インピーダンスになるように出力を制御し、データ入力端の入力と出力制御入力端の入力との論理出力をワイヤード・オア接続端から出力し、1段目の論理ゲートは、実質的に常に“1”または“0”の信号、または第1の信号A、または第1の信号Aの反転信号 \overline{A} 、のいずれか1つをデータ入力端に入力し、第2の信号Bおよびその反転信号 \overline{B} を出力制御入力端に入力し、2段目以降の論理ゲートは、前段の2個の論理ゲートの各出力を2個の3ステート回路の各データ入力端に入力し、

各段に対応して供給される相補的な出力制御信号 C 、 \overline{C} …を出力制御入力端に入力することにより各種の論理ゲートを作り上げることが可能になる。

本発明によれば、任意の入力本数の全ての組合わせ論理回路を構成できるものであり、以上の説明は出力が1本しかない例であった。勿論、そればかりではなく、本発明は多数の入力に対して、複数の出力を取出す論理回路にも適用できる。フル・アダーはそのよい例である。

1ビットのフル・アダーは、入力 A 、 B および前段からのキャリイ信号 C_p の3本の入力から、それらの和 S および、次段へのキャリイ信号 C の2つの出力を作るものである。フル・アダーの標準的な論理表記を第10図に、それを具体的にCMOS回路で実現するときの従来の論理回路を第11図に、さらに、その真理値表を第12図に示す。

このフル・アダーと同一の論理を本発明を用いて実現した論理回路を第8図に示している。即ち、3入力論理ゲート3を2個用い、一方の論理ゲ

も、プログラムを必要とする入力は、“1”レベル、“0”レベル、入力 A 、 \overline{A} の4つの中から1つを選択するだけでよい。ため、回路をプログラムするのが容易で、プログラム装置も簡単になる。このプログラムのためにメモリ・セルを用いる場合には、メモリ・セルの個数を大巾に減少することができ、プログラムが容易なICを実現できる。

従って、ユーザは論理ICの品揃えを最少限に抑えることができ、またメーカーも生産管理を著しく簡素化できる。

4. 図面の簡単な説明

第1図は本発明のプログラマブル論理回路の一実施例に係る2入力論理ゲートを示す構成説明図、第2図(a)および(b)は第1図中の3ステート回路の相異なる具体例を示す回路図、第3図(a)および(f)は第1図の2入力論理ゲートの相異なる具体例を示す論理回路図、第4図は第3図(a)の2入力アンドゲートの一例を示す回路図、第5図乃至第7図はそれぞれ本発明のプログラマブル論理回路の他の実施例に係る3入力論

理ゲートの一例および4入力論理ゲートの一例および5入力論理ゲートの一例を示す論理回路図、第8図は本発明のプログラマブル論理回路のさらに他の実施例に係るフル・アダーを示す論理回路図、第9図は第8図のフル・アダーを回路セル単位として表した回路図、第10図はフル・アダーについての従来の論理表記例、第11図は第10図のフル・アダーを従来の論理回路を用いて構成した論理回路図、第12図は第10図のフル・アダーの真理値表、第13図および第14図はそれぞれ従来の汎用の小規模集積回路を示す論理回路図である。

〔発明の効果〕

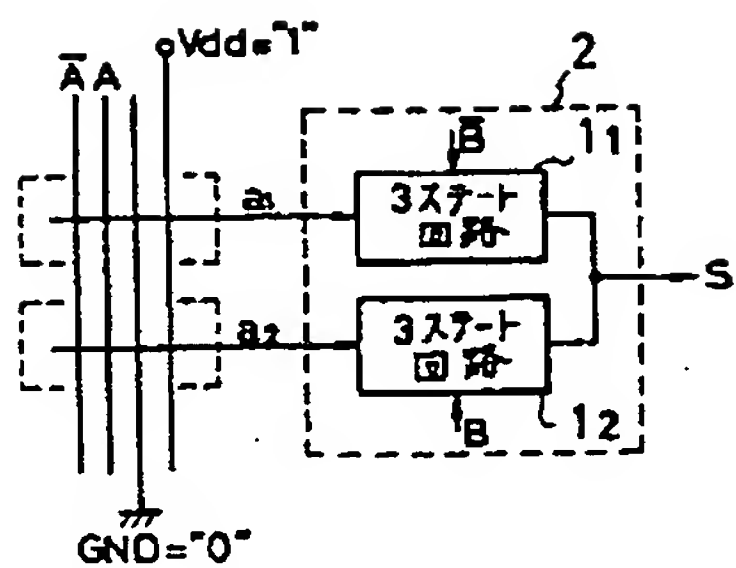
上述したように本発明によれば、構成が非常に簡単で、ゲートの拡張が非常に容易なプログラマブルな論理回路を実現できる。

また、本発明によれば、3ステート出力を有する論理回路を最少単位とし、それらをツリー状に配置・結線して、非常に対称性に優れた任意の論理回路を実現することができ、より複雑な、多入力の論理ゲートも簡単に作ることができる。しか

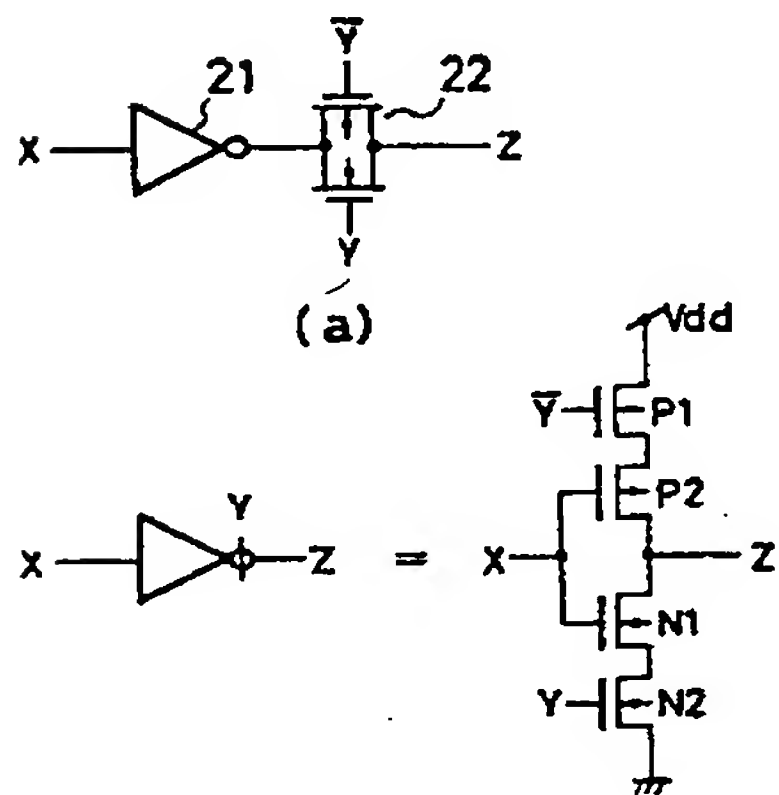
る。第1図は本発明のプログラマブル論理回路の一実施例に係る2入力論理ゲートを示す構成説明図、第2図(a)および(b)は第1図中の3ステート回路の相異なる具体例を示す回路図、第3図(a)および(f)は第1図の2入力論理ゲートの相異なる具体例を示す論理回路図、第4図は第3図(a)の2入力アンドゲートの一例を示す回路図、第5図乃至第7図はそれぞれ本発明のプログラマブル論理回路の他の実施例に係る3入力論

理ゲートの一例および4入力論理ゲートの一例および5入力論理ゲートの一例を示す論理回路図、第8図は本発明のプログラマブル論理回路のさらに他の実施例に係るフル・アダーを示す論理回路図、第9図は第8図のフル・アダーを回路セル単位として表した回路図、第10図はフル・アダーについての従来の論理表記例、第11図は第10図のフル・アダーを従来の論理回路を用いて構成した論理回路図、第12図は第10図のフル・アダーの真理値表、第13図および第14図はそれぞれ従来の汎用の小規模集積回路を示す論理回路図である。

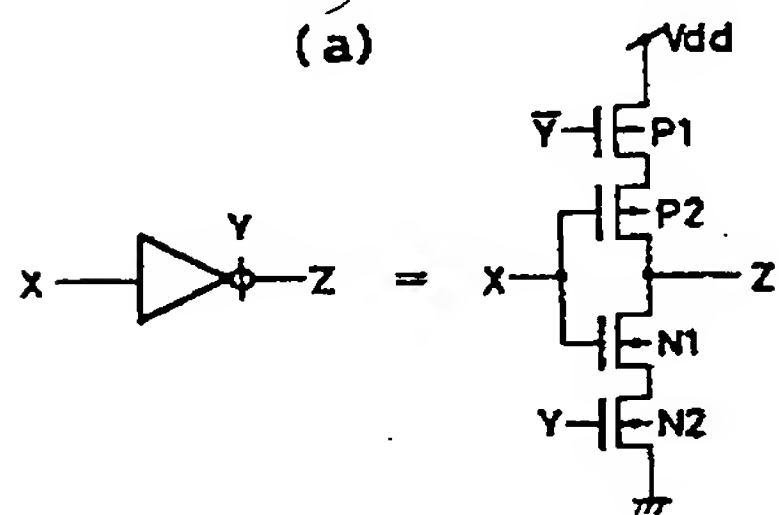
出願人代理人 弁理士 鈴江武彦



第 1 図

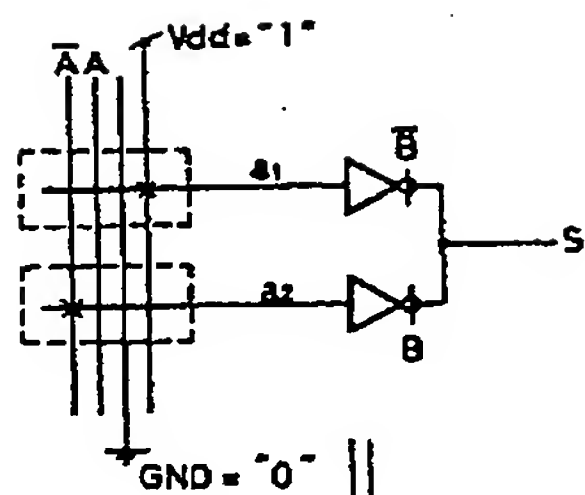


(a)

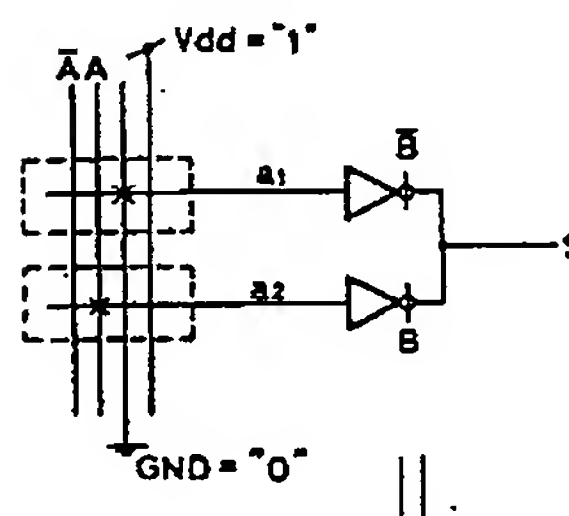


(b)

第 2 図

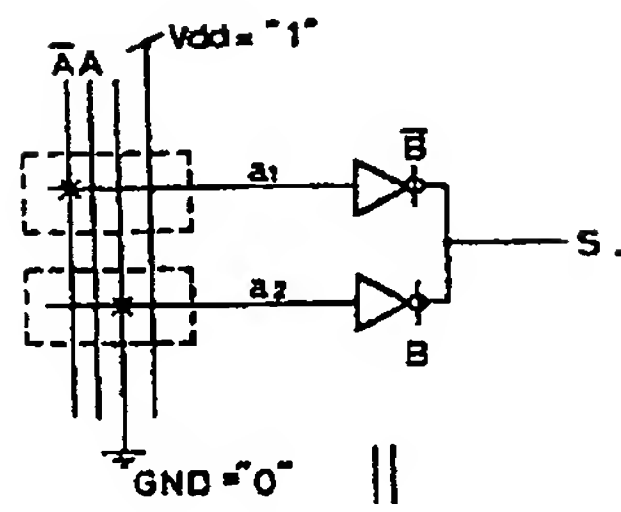


(a)



(b)

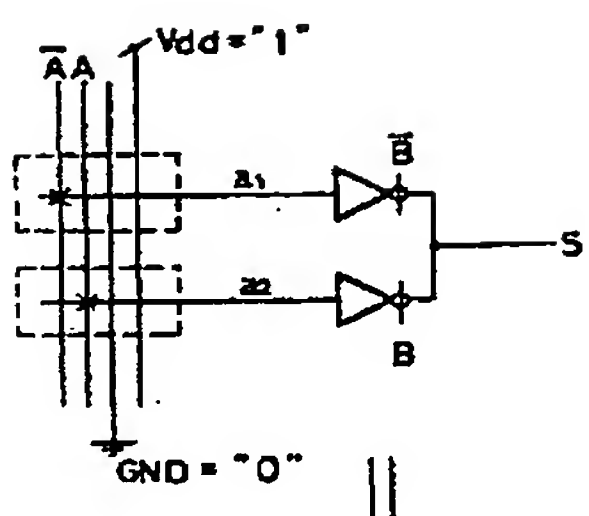
(c)



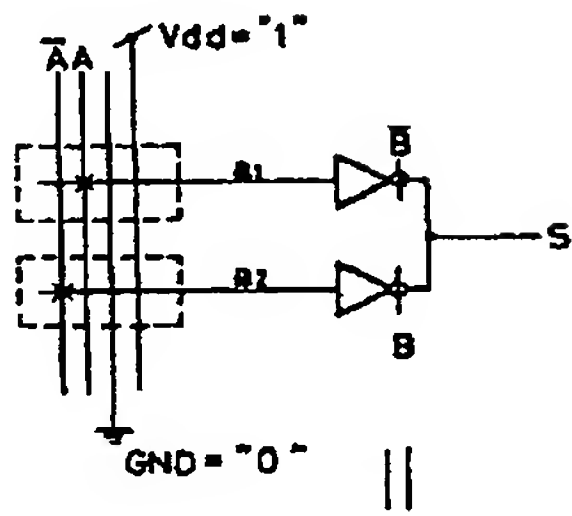
(d)

(d)

第 3 図

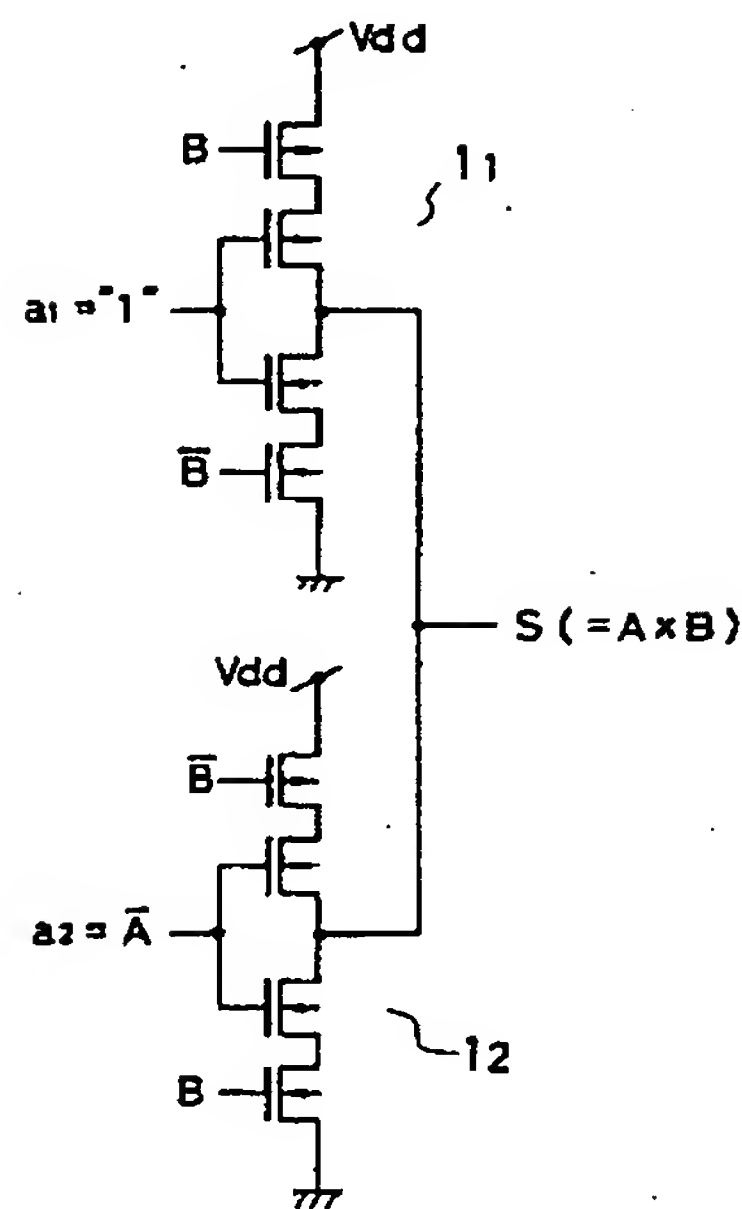


(e)

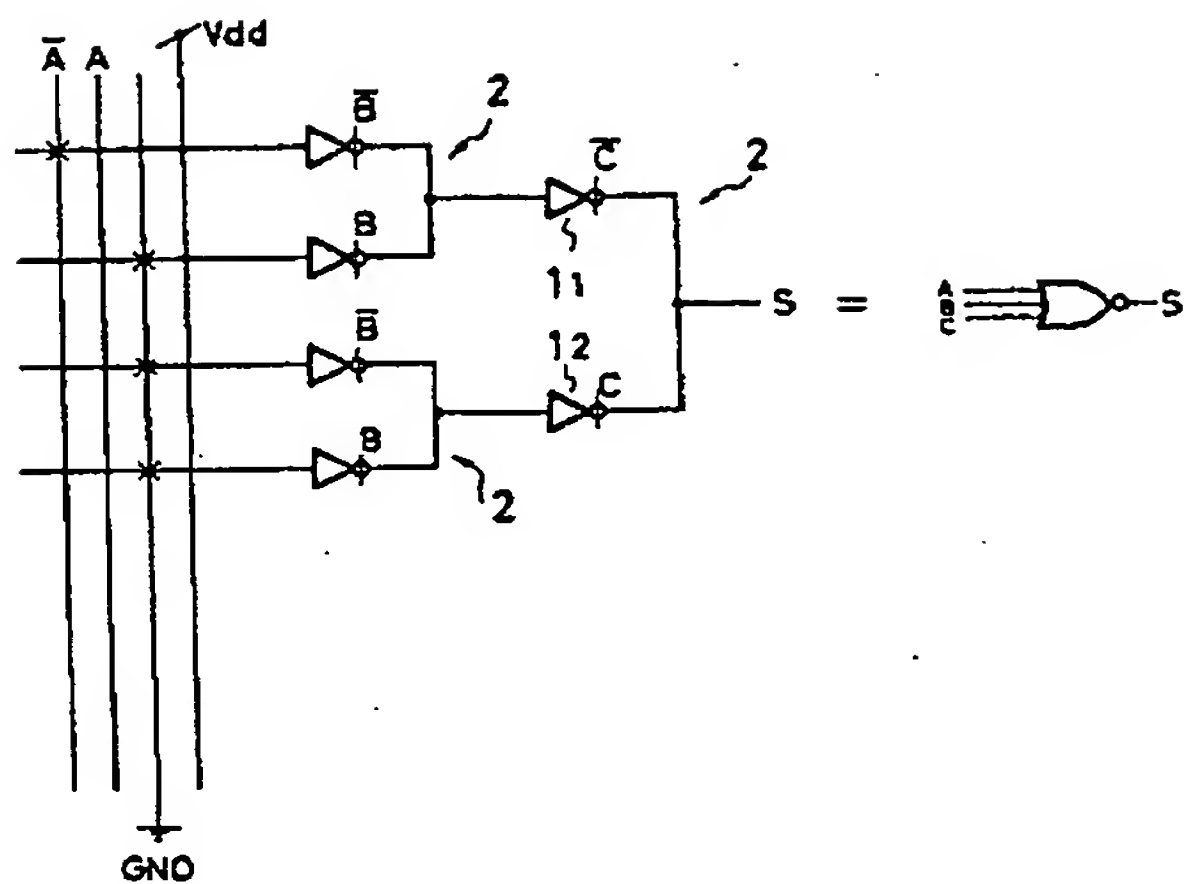


(f)

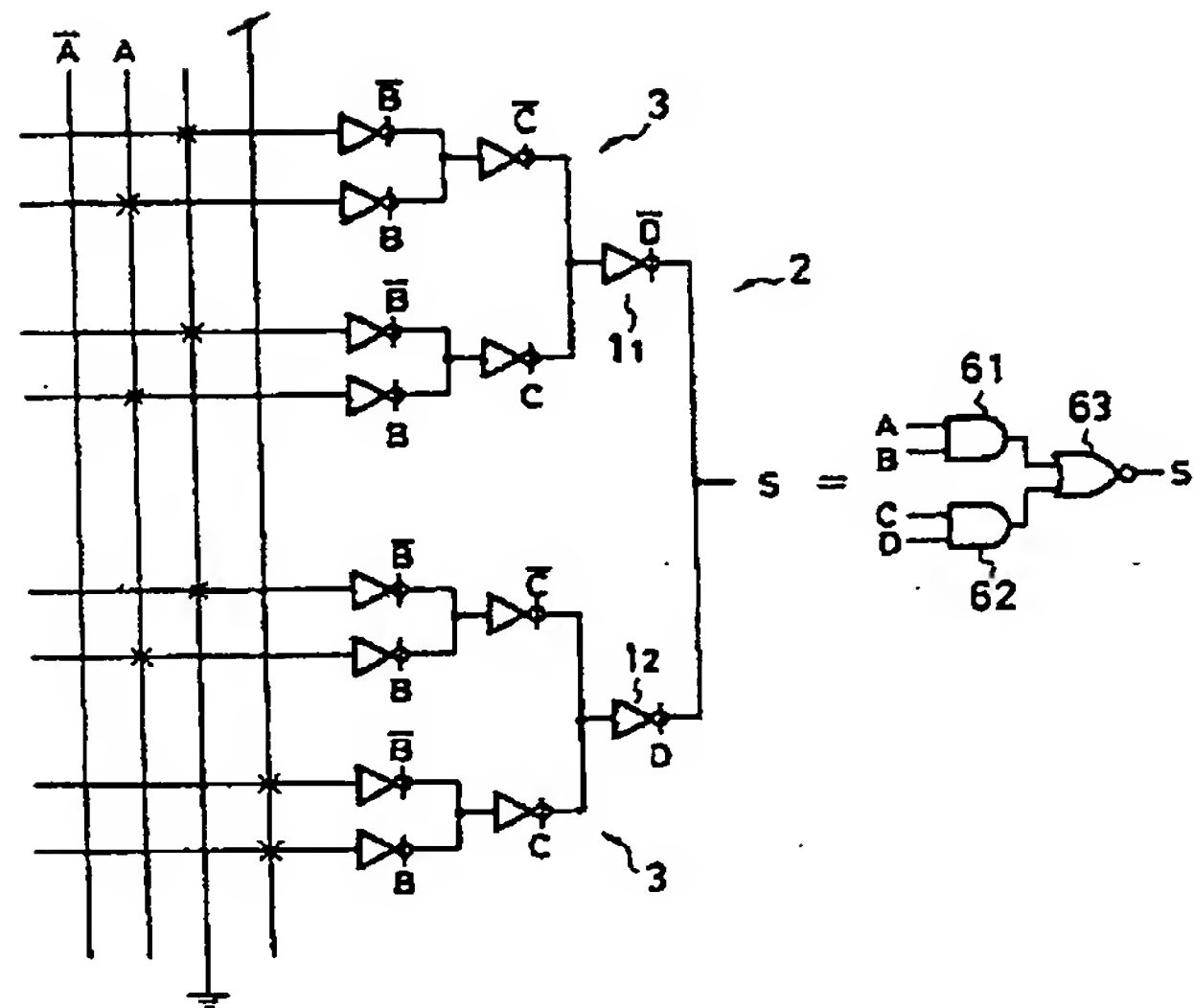
第 3 図



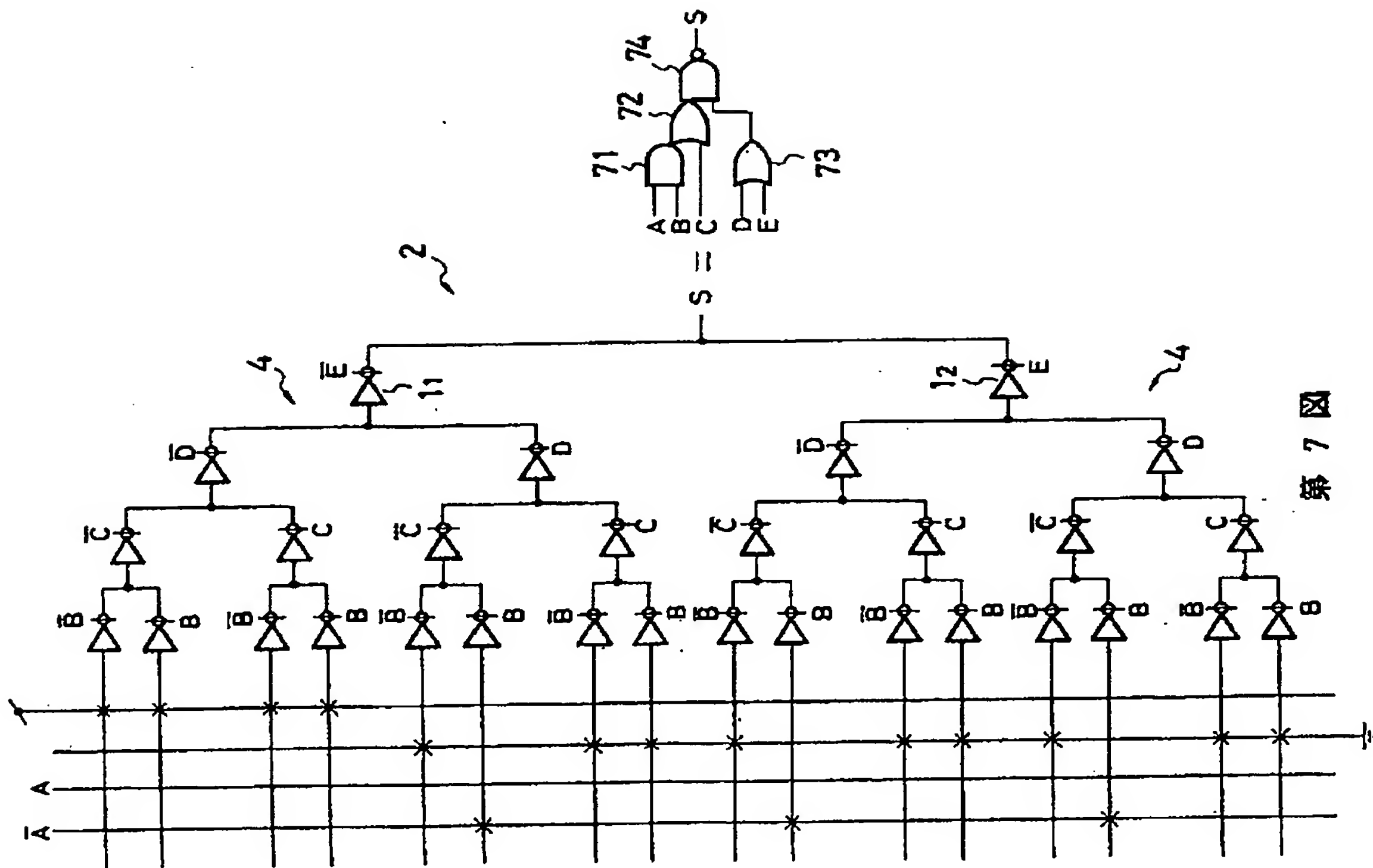
第 4 図



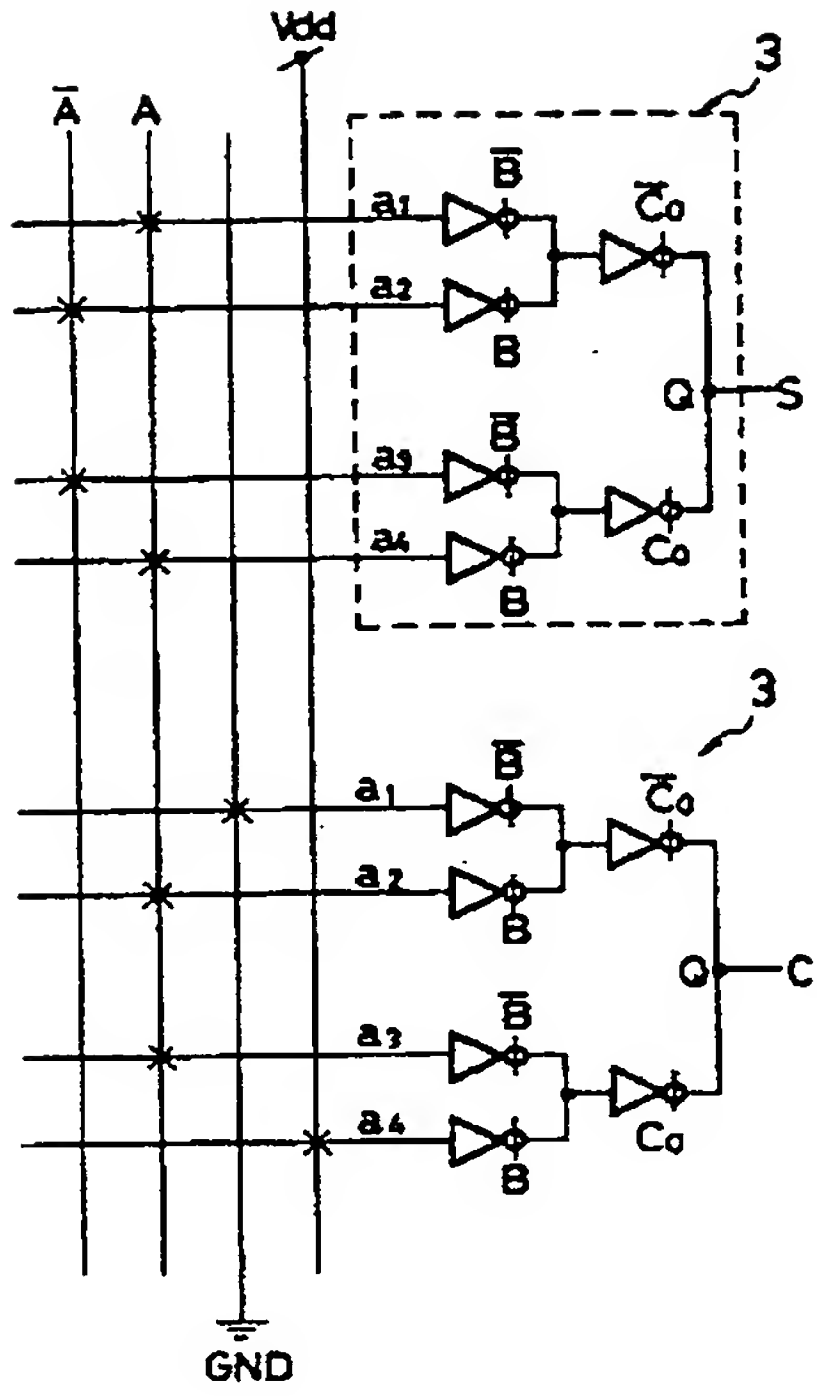
第 5 図



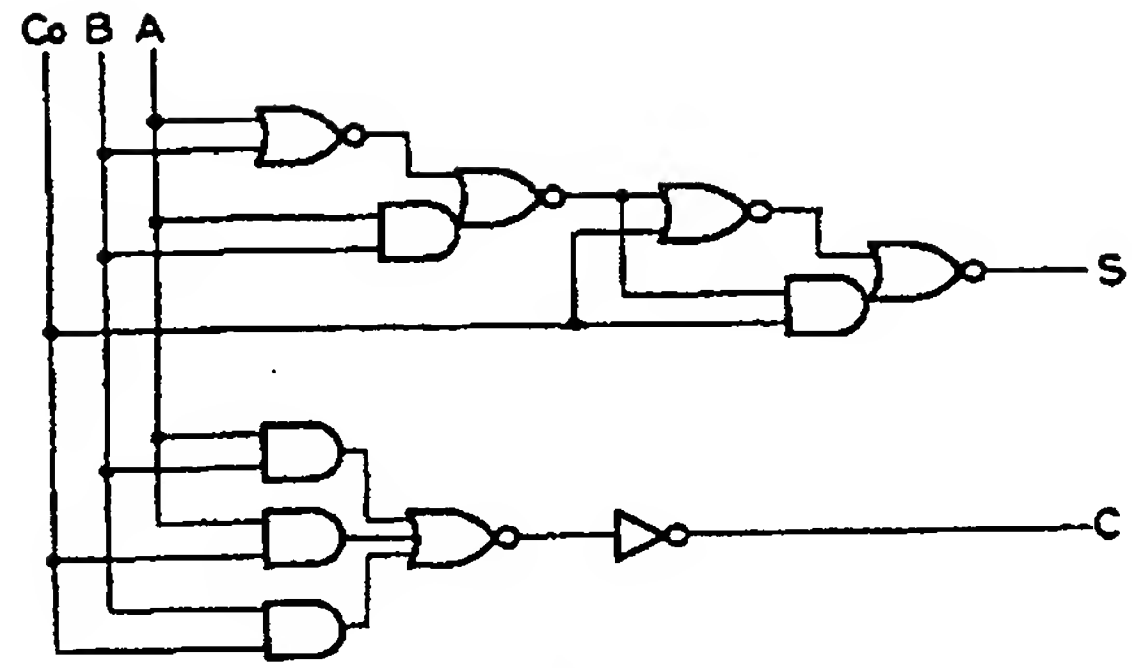
第 6 図



第 7 図



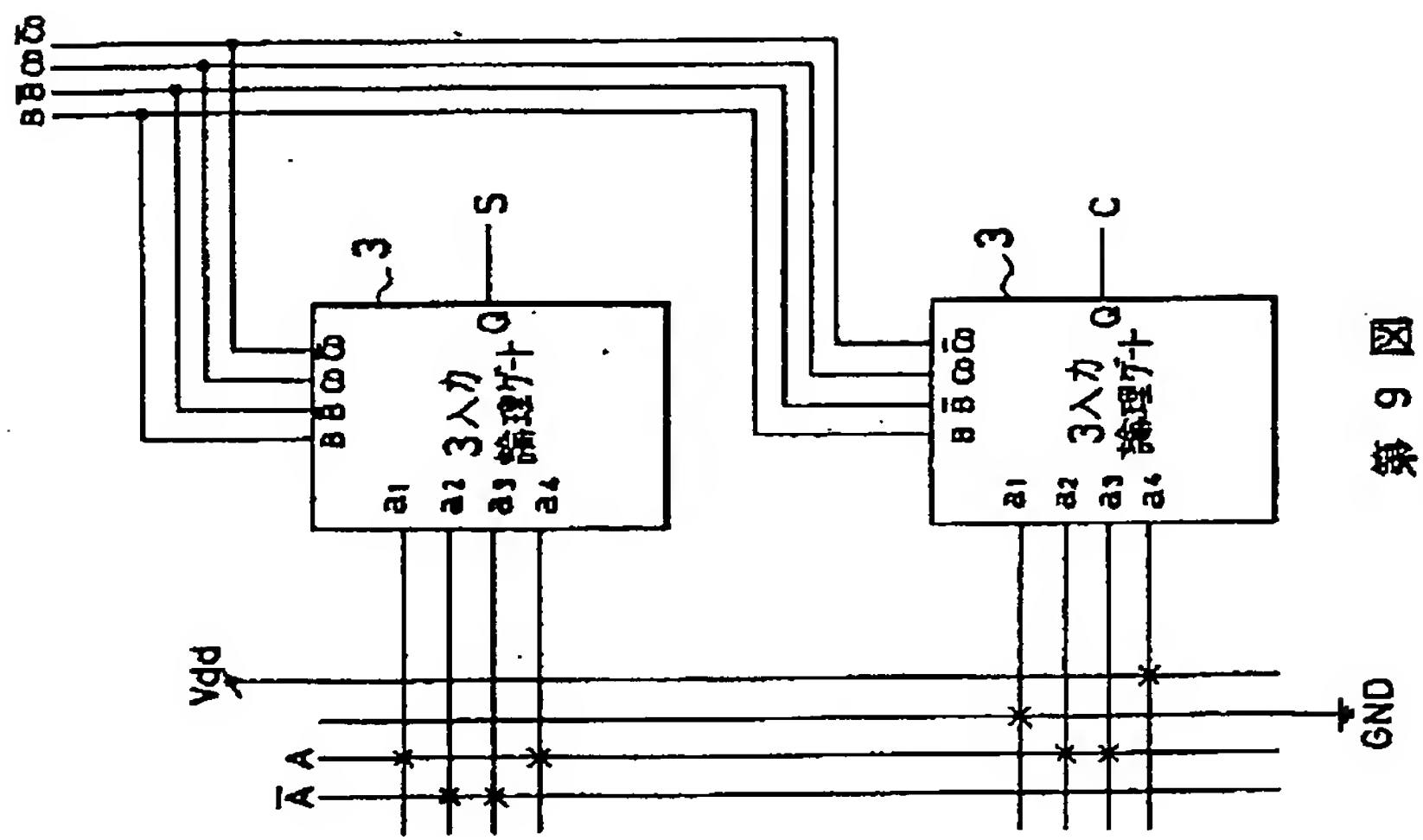
第 8 図



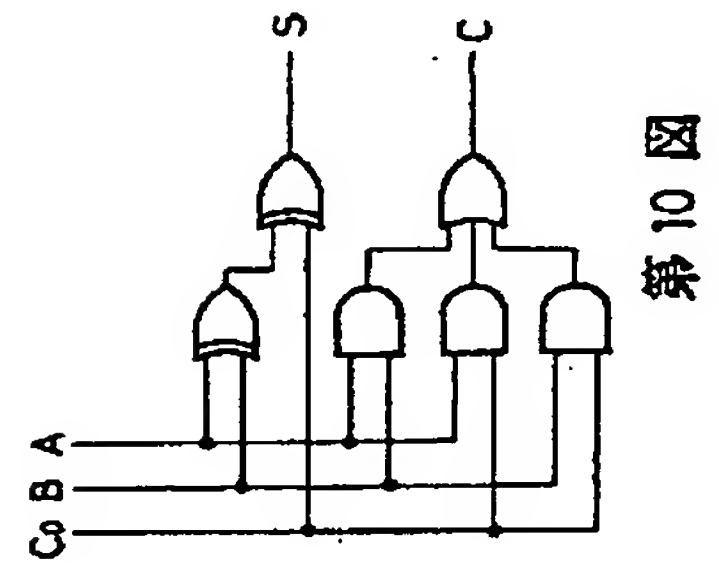
第 11 図

入 力			出 力	
A	B	C ₀	S	C
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

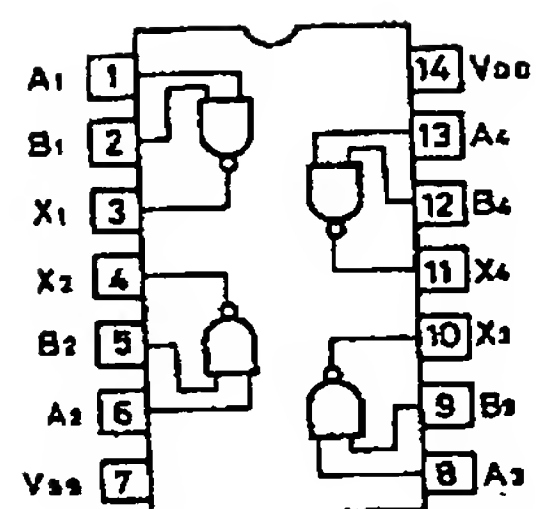
第 12 図



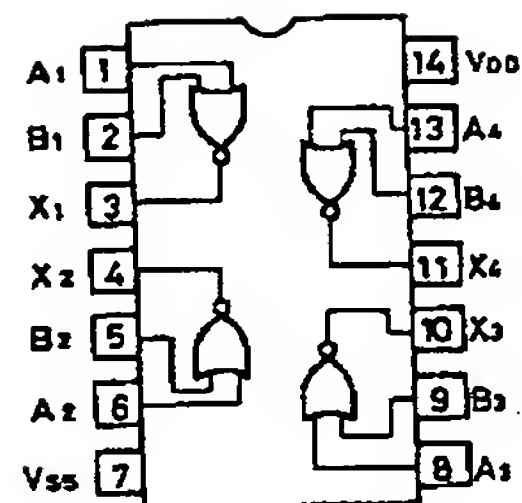
第 9 図



第 10 図



第 13 図



第 14 図